

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

06413144 **Image available**

THIN-FILM TRANSISTOR AND DISPLAY

PUB. NO.: **11-354802 [JP 11354802 A]**

PUBLISHED: December 24, 1999 (19991224)

INVENTOR(s): SANO KEIICHI

 SEGAWA YASUO

 TABUCHI NORIO

 YAMADA TSUTOMU

APPLICANT(s): SANYO ELECTRIC CO LTD

APPL. NO.: 10-159131 [JP 98159131]

FILED: June 08, 1998 (19980608)

INTL CLASS: H01L-029/786; G02F-001/136; H01L-021/336

ABSTRACT

PROBLEM TO BE SOLVED: To provide a TFT and display, wherein the threshold voltage generated due to the polarization of a planarized film layer insulation film of the TFT by moisture or impurity ions is suppressed for obtaining a uniformly bright display in a screen with few defects.

SOLUTION: On an insulative substrate 1, a Cr gate electrode 2, gate insulation film 3 and active layer 4 consisting of a polycrystalline Si film having a source 5, channel 7 and drain 6 are formed, a layer insulation film 9 is formed on the gate insulation film 3, active layer 4 and the entire surface of a stopper insulating film 8, a drain electrode 10 is formed by charging a metal such as Al in a contact hole which is formed through the layer insulation film 9 at position corresponding to the drain 6, and a conductive layer 11 connected to a gate signal wiring G on the insulative substrate 1 is formed via contact holes 14 of the gate insulation film 3 and layer insulation film 9 on the layer insulation film 9 above the channel 7.

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

013402157 **Image available**

WPI Acc No: 2000-574095/200054

XRAM Acc No: C00-171250

XRPX Acc No: N00-424801

Thin film transistor for active matrix type LCD, has conductive layer formed on layer insulation film in channel upper portion and conductive layer is not superimposed on edges of gate electrode and channel

Patent Assignee: SANYO ELECTRIC CO LTD (SAOL)

Inventor: SANO K; SEGAWA Y; TABUCHI N; YAMADA T

Number of Countries: 003 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
JP 11354802	A	19991224	JP 98159131	A	19980608	200054	B
KR 2000005963	A	20000125	KR 9920894	A	19990607	200063	
US 6252248	B1	20010626	US 99326288	A	19990607	200138	

Priority Applications (No Type Date): JP 98159131 A 19980608

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 11354802	A	6	H01L-029/786	
KR 2000005963	A		H01L-029/786	
US 6252248	B1		H01L-029/04	

Abstract (Basic): JP 11354802 A

NOVELTY - A gate electrode (2), gate insulating film (3), a semiconductor film with channel (7), layer insulation film (9) and flat insulating film (12) are formed on a substrate (1). A conductive layer (11) is formed between the films (9,12). The width of conductive layer in channel upper portion is narrower than length of channel. The layer (11) is not superimposed on edges of gate electrode and channel.

USE - For use in active matrix liquid crystal display device.

ADVANTAGE - Prevents polarization by upper and lower sides of a layer insulation film and hence transistor which suppresses back channel generation and stabilizes

threshold voltage, is obtained. Reduces defects in display device and display with uniform brightness is obtained.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional drawing of liquid crystal display device.

Substrate (1)

Gate electrode (2)

Gate insulating film (3)

channel (7)

Layer insulation film (9)

Conductive layer (11)

Flat insulating film (12)

pp; 6 DwgNo 2/9

Title Terms: THIN; FILM; TRANSISTOR; ACTIVE; MATRIX; TYPE; LCD;
CONDUCTING; LAYER; FORMING; LAYER; INSULATE; FILM; CHANNEL;
UPPER; PORTION; CONDUCTING; LAYER; SUPERIMPOSED; EDGE; GATE;
ELECTRODE; CHANNEL

Derwent Class: L03; P81; U11; U12; U14

International Patent Class (Main): H01L-029/04; H01L-029/786

International Patent Class (Additional): G02F-001/136; H01L-021/336; H01L-031/036;
H01L-031/0376; H01L-031/21

File Segment: CPI; EPI; EngPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-354802

(43) 公開日 平成11年(1999)12月24日

(51) IntCl.*

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 1 9 A

G 0 2 F 1/136

5 0 0

G 0 2 F 1/136

5 0 0

H 0 1 L 21/336

H 0 1 L 29/78

6 1 6 A

6 1 7 N

6 2 7 A

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号

特願平10-159131

(22) 出願日

平成10年(1998)6月8日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 佐野 景一

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 瀬川 泰生

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 田淵 規夫

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74) 代理人 弁理士 安富 耕二 (外1名)

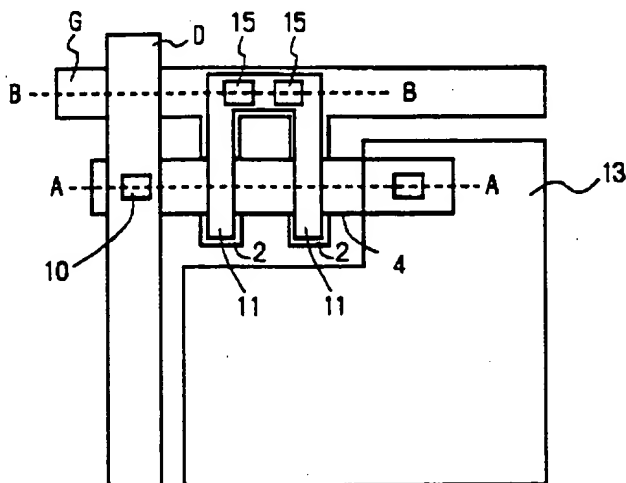
最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ及び表示装置

(57) 【要約】

【課題】 水分あるいは不純物イオンによってTFTの平坦化膜又は層間絶縁膜の分極の発生による閾値電圧の変化を抑制し、欠点が少なく面内で均一な明るさの表示が得られるTFT及び表示装置を提供する。

【解決手段】 絶縁性基板1上に、Crからなるゲート電極2、ゲート絶縁膜3、多結晶シリコン膜からなりソース5、チャネル7及びドレイン6を備えた能動層4を形成し、ゲート絶縁膜3、能動層4及びストッパ絶縁膜8上の全面に、層間絶縁膜9を形成する。この層間絶縁膜9に設けたコンタクトホール14のドレイン6に対応した位置にA1等の金属を充填してドレイン電極10を形成するとともに、同時にチャネル7の上方であって層間絶縁膜9の上に、ゲート絶縁膜3及び層間絶縁膜9に設けられたコンタクトホール14を介して、絶縁性基板1上のゲート信号配線Gと接続されている導電層11を形成する。



【特許請求の範囲】

【請求項1】 絶縁性基板上に、ゲート電極、ゲート絶縁膜、チャンネルを備えた半導体膜、層間絶縁膜、及び平坦化絶縁膜を備えており、前記層間絶縁膜上または前記平坦化絶縁膜上で且つ前記チャンネル上方に導電層を備え、前記チャンネル上方における前記導電層のチャンネル長方向の幅は前記チャンネルのチャンネル長よりも狭く、且つ前記導電層は前記ゲート電極の端部及び前記チャンネルのチャンネル長方向の端部と非重畳であることを特徴とする薄膜トランジスタ。

【請求項2】 前記導電層は、前記ゲート電極と接続されていることを特徴とする請求項1に記載の薄膜トランジスタ。

【請求項3】 前記導電層は、フローティング電位または定電位であることを特徴とする請求項1または2に記載の薄膜トランジスタ。

【請求項4】 前記導電層と前記半導体層との間に設ける絶縁膜は、シリコン酸化膜、シリコン窒化膜若しくは有機膜各単体または該各膜の積層体からなっており、且つ前記絶縁膜の膜厚合計は5000Å以上であることを特徴とする請求項1乃至3のうちいずれか1項に記載の薄膜トランジスタ。

【請求項5】 請求項1乃至4のうちいずれか1項に記載の薄膜トランジスタを備えたことを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁膜を備えた薄膜トランジスタ（Thin Film Transistor：以下、「TFT」と称する。）及びそのTFTをスイッチング素子として用いた表示装置に関する。

【0002】

【従来の技術】近年、各種表示装置、例えばアクティブマトリクス方式の液晶表示装置（Liquid Crystal Display：以下、「LCD」と称する。）の駆動ドライバ素子あるいは画素駆動素子として多結晶シリコン膜を能動層として用いたTFTの開発が進められている。

【0003】以下に従来のTFTを備えたLCDについて説明する。

【0004】図8に従来の表示画素部のTFT平面図を示し、図9に図8中のE-E線に沿ったTFTを用いたLCDの断面図を示す。

【0005】図8に示すように、画素部のTFTは、ゲート信号を供給するゲート信号線Gと映像信号を供給するドレイン信号線Dとの交差点付近に設けられており、そのソースは表示電極に接続されている。

【0006】図9に従ってTFTの構造について説明する。

【0007】石英ガラス、無アルカリガラス等からなる絶縁性基板1上に、クロム（Cr）、モリブデン（M

o）などの高融点金属からなるゲート電極2、ゲート絶縁膜3、及び多結晶シリコン膜からなる能動層4を順に形成する。

【0008】その能動層4には、ゲート電極2上方のチャンネル7と、チャンネル7の両側に、チャンネル7上のストッパ絶縁膜8をマスクにしてイオン注入されて形成されるソース5及びドレイン6が設けられている。

【0009】そして、ゲート絶縁膜3、能動層4及びストッパ絶縁膜8上の全面に、 SiO_2 膜、 SiN 膜及び SiO_2 膜が積層された層間絶縁膜9を形成し、ドレイン6に対応して設けたコンタクトホールにAl等の金属を充填してドレイン電極10を形成する。更に全面に例えば有機樹脂から成り表面を平坦にする平坦化膜12を形成する。そして、その平坦化膜12のソース5に対応した位置にコンタクトホールを形成し、このコンタクトホールを介してソース5とコンタクトしたITO（Indium Thin Oxide）から成りソース電極を兼ねた透明電極である表示電極13を平坦化膜12上に形成する。そしてその表示電極13上にポリイミド等の有機樹脂からなり液晶24を配向させる配向膜14を形成する。

【0010】こうして作成されたTFTを備えた絶縁性基板1と、この基板1に対向した対向電極21及び配向膜22を備えた対向基板20とを周辺をシール接着剤23により接着し、形成された空隙に液晶24を充填する。

【0011】

【発明が解決しようとする課題】ところが、こうした従来のTFTの構造においては、硬化時に発生するシール接着剤からの不純物あるいは不純物イオン、又は液晶24中の水分あるいは不純物イオン、又はシール接着剤23の剥がれて浮いた箇所25を介して外部から進入する水分、あるいは平坦化膜12が大気に触れることにより付着する大気中の水分等が平坦化膜12表面に付着しその平坦化膜12表面に電荷を帯びてしまい、平坦化膜12又は層間絶縁膜9のそれぞれの膜の上下で分極が発生する。

【0012】そのため、TFTにバックチャンネルが形成されてしまい、TFTの閾値電圧が変化してしまうという欠点があった。

【0013】また、このTFTをLCDに用いた場合においても、TFTの閾値電圧が増加する方向に変化するとTFTのオン電流が低下し、逆に閾値電圧が減少する方向に変化するとオフ電流が増加し、ともに画素が常に輝く輝点欠陥が発生することになり良好な表示が得られないとともに、また各TFTにおいて閾値電圧がばらつくことになると面内で均一な明るさの表示を得ることができないという欠点があった。

【0014】そこで本発明は、上記の従来の欠点に鑑みて為されたものであり、TFT上の平坦化膜又は層間絶縁膜の分極を抑制させることによって、閾値電圧の安定

したTFT、及び輝点等の欠陥を低減し面内で均一な明るさの表示を得ることができるLCDを提供することを目的とする。

【0015】

【課題を解決するための手段】本発明のTFTは、絶縁性基板上に、ゲート電極、ゲート絶縁膜、チャネルを備えた半導体膜、層間絶縁膜、及び平坦化絶縁膜を備えており、前記層間絶縁膜上または前記平坦化絶縁膜上で且つ前記チャネル上方に導電層を備え、前記チャネル上方における前記導電層のチャネル長方向の幅は前記チャネルのチャネル長よりも狭く、且つ前記導電層は前記ゲート電極の端部及び前記チャネルのチャネル長方向の端部と非重畳である。

【0016】また、導電層は、ゲート電極と接続されている。

【0017】更に、導電層は、フローティング電位または定電位である。

【0018】更にまた、導電層と半導体層との間に設ける絶縁膜は、シリコン酸化膜、シリコン窒化膜若しくは有機膜各単体、またはそれら各膜の積層体からなっており、且つ絶縁膜の膜厚合計は5000Å以上である。

【0019】更にまた、本発明は、上述の薄膜トランジスタを備えた表示装置である。

【0020】

【発明の実施の形態】以下に本発明のTFTについて説明する。

【0021】図1に本発明の表示画素部のTFT平面図を示し、図2に図1中のA-A線に沿ったLCDの断面図を示し、図3に図1中のB-B線に沿ったTFTの断面図を示す。

【0022】図1に示すように、ゲート電極2を一部に有するゲート信号線Gとドレイン電極10を一部に有するドレイン信号線Dとの交差点付近に、表示電極13を接続したTFTが設けられている。

【0023】図2に示すように、石英ガラス、無アルカリガラス等からなる絶縁性基板1上に、Cr、Mo等の高融点金属からなるゲート電極2、SiN膜及びSiO₂膜から成るゲート絶縁膜3及び多結晶シリコン膜からなる能動層4を順に形成する。

【0024】その能動層4には、ゲート電極2上方のチャネル7と、そのチャネル7の両側にイオン注入されて形成されたソース5及びドレイン6とが設けられている。

【0025】チャネル7の上には、ソース5及びドレイン6を形成する際のイオン注入時にチャネル7にイオンが入らないようにチャネル7を覆うマスクとして機能するSiO₂膜から成るストッパ絶縁膜8が設けられる。

【0026】そして、ゲート絶縁膜3、能動層4及びストッパ絶縁膜8上の全面に、SiO₂膜、SiN膜及びSiO₂膜が積層された層間絶縁膜9を形成する。この

層間絶縁膜9は、SiO₂、SiN、またはアクリル等の有機材料からなる有機膜の各単体、またはこれらのいずれかの組み合わせの多層体からなる。

【0027】次に、その層間絶縁膜9に設けたコンタクトホールにドレイン6に対応した位置にAl単体、あるいはMo及びAlを順に積層するなどした金属を充填してドレイン電極10を形成する。このときドレイン電極10の形成と同時にチャネル7の上方であって層間絶縁膜9の上に導電層11を形成する。即ち、Al単体、あるいはMo及びAlを順に積層するなどした金属からなる導電層11を形成する。

【0028】図3に示すように、層間絶縁膜9上に設けた導電層11は、ゲート絶縁膜3及び層間絶縁膜9に設けられたコンタクトホール14を介して、絶縁性基板1上のゲート信号配線Gと接続されている。ドレイン信号線Dは層間絶縁膜9の上に設けられている。そして全面に例えば有機樹脂からなる平坦化膜12を形成する。この平坦化膜12のソース5に対応した位置にコンタクトホールを形成し、ソース5にコンタクトしたITO等の透明導電材料から成りソース電極を兼ねた透明電極である表示電極13を形成する。その上には液晶24を配向させる配向膜15を形成する。

【0029】なお、導電層11と能動層4との間の絶縁膜、即ち本実施形態においてはストッパ絶縁膜8及び層間絶縁膜9の膜厚合計は5000Å以上とする。そうすることにより、導電層11と能動層4との距離が大きくなるため互いの影響を抑制することができるとともに、絶縁膜のピンホール発生の確率も極めて小さくなりTFTの特性向上が図れる。

【0030】こうして作製されたTFTを備えた絶縁性基板1と、この基板1に対向した対向電極21及び配向膜22を備えた対向基板20とを周辺をシール接着剤23により接着し、形成された空隙に液晶24を充填してLCDが完成する。

【0031】ここで、本発明におけるチャネルについて図4乃至図6に従って説明する。

【0032】図4に、いわゆるオフセット構造を有するTFTの図1中A-A線に沿った断面図を示す。

【0033】同図に示すように、ゲート絶縁膜3上に設けた能動層4には、ゲート電極2の両側に高濃度にイオン注入したドレイン5（図中dの領域）及びソース6（図中eの領域）が設けられている。またそのドレイン5とゲート電極2の端部との間の領域（図中b1の領域）、ソース6とゲート電極2の端部との間の領域（図中c1の領域）、及び両ゲート電極間の領域（図中b2、c2）はイオンが注入されていないいわゆるオフセット領域3・5、3・6、3・7が設けられている。このときゲート電極2と重畳した能動層4の領域がチャネルである。即ち、図中a1、a2で示す領域が本発明におけるチャネル長である。

【0034】図5に、いわゆるLDD (Lightly Doped Drain) 構造を有するTFTの図1中A-A線に沿った断面図を示す。

【0035】同図に示すように、能動層4には、ゲート電極2の両側に高濃度にイオン注入したドレイン5 (図中dの領域) 及びソース6 (図中eの領域) が設けられており、さらにそのドレイン5とゲート電極2の端部との間の領域 (図中b1の領域)、ソース6とゲート電極2の端部との間の領域 (図中c1の領域)、及び両ゲート電極の間の領域 (図中b2、c2) には低濃度のイオンが注入されているいわゆるLDD領域が設けられている。また、このLDD領域38とLDD領域39との間の能動層4がチャンネルである。即ち、図中a1、a2で示す領域が本発明におけるチャンネル長である。

【0036】図6に、能動層にソース及びドレインを形成したTFTの図1中A-A線に沿った断面図を示す。

【0037】同図に示すように、能動層4には、ゲート電極2の両側に高濃度にイオン注入したドレイン5 (図中dの領域) 及びソース6 (図中eの領域) が設けられている。この場合には、ドレイン5とソース6の間がチャンネルである。即ち、図中のaで示す領域 (図中a1、a2) が本発明におけるチャンネル長である。

【0038】ここで、導電層11は図1及び図2に示すように、ゲート信号線Gの一部であるゲート電極2及びその上方に設けたチャンネル7と重畳している。しかし、導電層11の端部は、ゲート電極2及びチャンネル7の端部とは重畳しないように配置する。

【0039】その効果についてLDD領域を備えたTFTの場合について説明する。

【0040】図5において、導電層11がa以上の幅でありその端部がLDD領域と重畳した場合には、本実施の形態のように導電層11とゲート電極2が接続されていると、導電層11とLDD領域の重畳部において強い電界が生じて層間絶縁膜9を介して導電層11と能動層4との間にリーク電流や電荷発生などの劣化が生じることになる。このリーク電流を抑制するために層間絶縁膜9の緻密化など高品質のものとすることが考えられるが成膜時間の増大などスループットが低下してしまうことになる。

【0041】また導電層11とLDD領域とが重畳すると、ゲートとソースとの間の容量が増大してしまうことになる。

【0042】ところが、本発明のように、導電層11をチャンネル7及びゲート電極2よりも小さい幅とし且つ導電層11がチャンネル7端部及びゲート電極2端部と重畳しないようにすることにより、上述の劣化、容量の増大を抑制することができる。なお、LDD領域との重畳のみならず、オフセット領域との重畳の場合にも同様の効果を得ることができる。

【0043】以上のように、チャンネル及びゲート電極の

幅よりも小さくかつそれらの端部と重畳しないように導電層を設けることにより、層間絶縁膜表面への不純物付着の防止ができ、それによって層間絶縁膜表面への電荷の蓄積を防止できるとともに、閾値電圧の安定したTFTを得ることができ、輝点等の欠陥を低減し面内で均一な明るさの表示の得られるLCDを得ることができる。

【0044】なお、導電層11は、図7に示すように導電層11が第1の実施形態のようにゲート電極と接続されておらず、フローティング電位としてもゲート電極と接続した場合と同様の効果が得られる。図7のC-C線に沿ったTFTの断面図は前述の図2と同じである。

【0045】なお、導電層11は層間絶縁膜9の上に設けられており、その幅もチャンネル7及びゲート電極2の幅よりも小さく且つ導電層11はチャンネル7及びゲート電極2の端部と重畳しないように設けられている。

【0046】なお、本発明のTFTの導電層11は、更に定電位供給配線を設けて定電位としても上述の効果が得られる。定電位は、例えば接地電位あるいは数Vの電位である。

【0047】また、導電層はゲート電極を2つ備えたいわゆるダブルゲート構造において、いずれか一方のゲート電極上に設けてもよい。

【0048】さらに、導電層は層間絶縁膜上のみならず、平坦化絶縁膜上に設けても層間絶縁膜上に設けた場合と同様の効果を得ることができる。

【0049】更にまた、導電層と能動層との間に設ける絶縁膜、例えば各実施形態の場合のストップ絶縁膜、層間絶縁膜及び平坦化絶縁膜が、SiO膜、SiN膜若しくは有機膜の各単体からなっても良く、または各膜を積層させた積層体からなっても良い。

【0050】また、本実施の形態においては、ゲート電極が能動層よりも下にあるいわゆるボトムゲート型TFTについて説明したが、本発明はゲート電極が能動層よりも上にあるいわゆるトップゲート型TFTに採用しても同様の効果がある。

【0051】また、上述の各実施の形態においては、本発明のTFTをLCDに用いた場合について示したが、本発明はそれに限定されるものではなく、例えば有機EL (Electro Luminescence) 表示装置にも採用が可能であり、上述の効果と同様の効果が得られる。

【0052】

【発明の効果】本発明によれば、層間絶縁膜の上下で分極するのを防止できるため、バックチャンネル発生を抑制し閾値電圧の安定したTFTを得ることができ、輝点等の欠陥を低減し面内で均一な明るさの表示の得られる表示装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態を示すTFTの平面図である。

【図2】本発明の第1実施形態を示すLCDの断面図で

ある。

【図3】本発明の第1実施形態を示すLCDの断面図である。

【図4】本発明の第1実施形態を示すTFTの断面図である。

【図5】本発明の第1実施形態を示すTFTの断面図である。

【図6】本発明の第1実施形態を示すTFTの断面図である。

【図7】本発明の第2実施形態を示すTFTの平面図である。

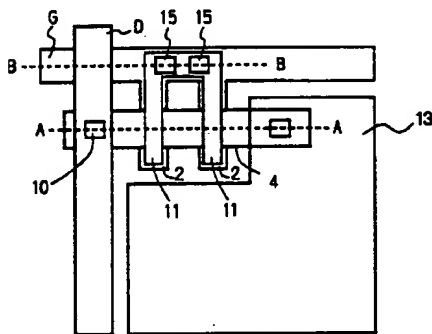
【図8】従来のTFTの平面図である。

【図9】従来のLCDの断面図である。

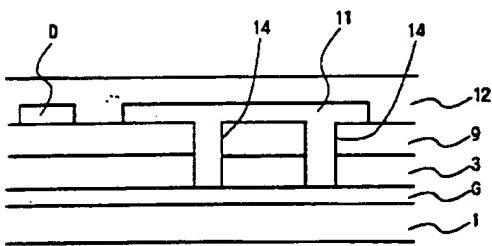
【符号の説明】

- | | |
|--------|---------|
| 1 | 絶縁性基板 |
| 2 | ゲート電極 |
| 4 | 能動層 |
| 5 | ソース |
| 6 | ドレイン |
| 7 | チャネル |
| 8 | ストップ絶縁膜 |
| 9 | 層間絶縁膜 |
| 11 | 導電層 |
| 12 | 平坦化絶縁膜 |
| 13 | 表示電極 |
| 24 | 液晶 |
| 35, 36 | オフセット領域 |
| 38, 39 | LDD領域 |

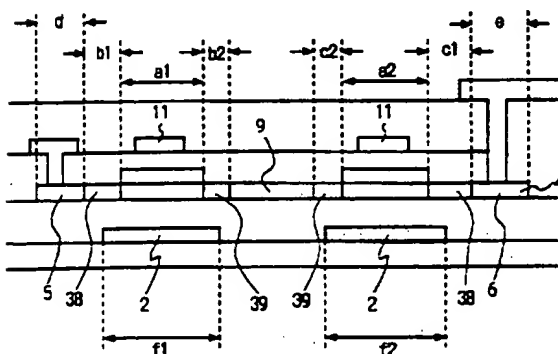
【図1】



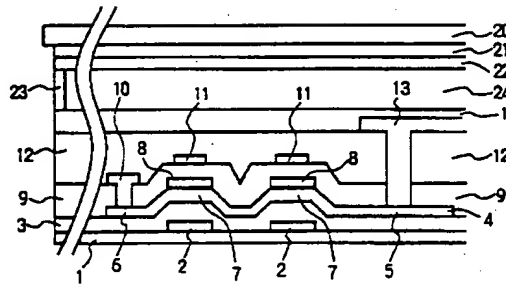
【図3】



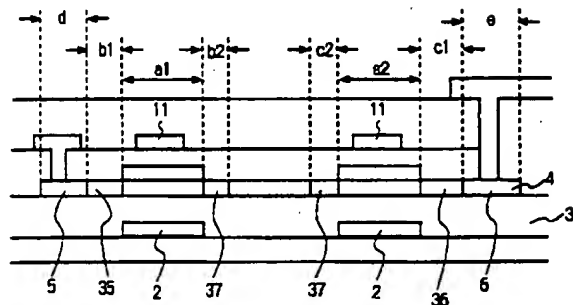
【図5】



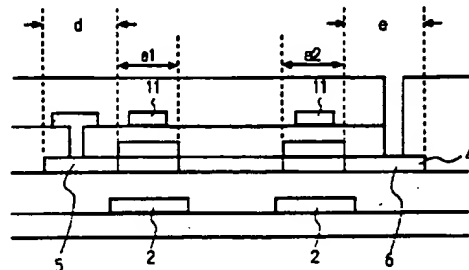
【図2】



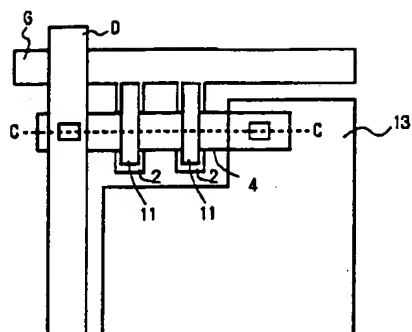
【図4】



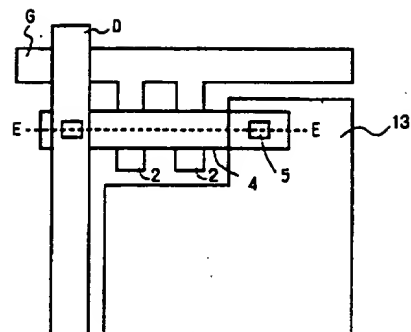
【図6】



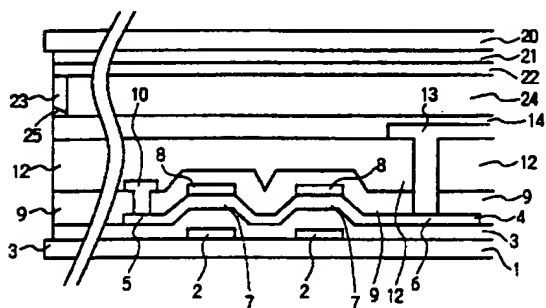
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 山田 努
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

Japanese Patent Application Laid-Open Number 11-354802

Publication Date: December 24, 1999

Application No.: 10-159131

Filing Date: June 8, 1998

Int. Class. No.: H01L 29/786, G02F 1/136, H01L 21/336

Inventor: Keiichi Sano, Yasuo Segawa, Norio Tabuchi and Tsutomu Yamada

Applicant: SANYO ELECTRIC CO., LTD.

Attorney: Koji Yasutomi and another.

Specification

(54) Title of Invention: Thin Film Transistor and Display Device

(57) Summary

[Problems] To offer a TFT and a display device wherein a display with less defects and the uniform luminous intensity in a screen can be obtained by controlling a change of a threshold voltage caused by generation of polarization on a planarizing film or an interlayer insulating film of the TFT because of moisture or impurity ions.

[Means for resolving problems] A gate electrode 2 made of Cr, a gate insulating film 3, and an active layer 4 made of a polycrystalline silicon film wherein a source 5, a channel 7 and a drain 6 are provided, are formed on an insulating substrate 1; an interlayer insulating film 9 is formed on the whole of the gate insulating film 3, the active layer 4 and a stopper insulating film 8. A drain electrode 10 is formed on the position corresponding to the drain 6 of a contact hole provided in this interlayer insulating film 9 by filling up metal such as Al etc., and at the same time, a conductive layer 11 connected to a gate signal wiring G on the insulating substrate 1 is formed on the interlayer insulating film 9 which is provided over the channel 7 through a contact hole 14 provided in the gate insulating film 3 and the interlayer insulating film 9.

[What is claimed]

[Claim 1] A thin film transistor comprising:

a gate electrode, a gate insulating film, a semiconductor film with a channel, an interlayer insulating film, and a planarizing insulating film; and

a conductive layer is provided on said interlayer insulating film or on said

planarizing insulating film, and over said channel;

wherein a width of said conductive layer in the channel length direction over said channel is narrower than the channel length of said channel, and said conductive layer is not superposed on an end of said gate electrode and that of said channel in the channel length direction.

[Claim 2] A thin film transistor of Claim 1, wherein said conductive layer is connected to said gate electrode.

[Claim 3] A thin film transistor of Claim 1 or 2, wherein said conductive layer is a floating electric potential or a constant electric potential.

[Claim 4] A thin film transistor of one Claim among Claims 1 to 3, wherein an insulating film provided between said conductive layer and said semiconductor layer is made of a silicon oxide film, a silicon nitride film, a simple organic film or a lamination by each film, and a total thickness of said insulating film is not less than 5000 Å.

[Claim 5] A display device wherein a thin film transistor of one Claim among Claims 1 to 4 is provided.

[Detailed description of the invention]

[0001]

[Field of the invention] The present invention relates to a thin film transistor (Thin Film Transistor: hereinafter referred to as TFT) with an insulating film and a display device wherein the TFT is used as a switching element.

[0002]

[Prior Art] Recently, a TFT wherein a polycrystalline silicon film is used for an active layer as a driving driver element or a pixel driving element of various display devices, for example an active matrix type liquid crystal display device (Liquid Crystal Display: hereinafter referred to as LCD) has been developed.

[0003] The following is an explanation of a LCD wherein the conventional TFT is provided.

[0004] Figure 8 shows a TFT plan view of the conventional display pixel portion, and Figure 9 shows a cross sectional view of a LCD with the TFT which is provided along E-E line in Figure 8.

[0005] As shown in Figure 8, the TFT of the pixel portion is provided nearby the crossing

point of a gate signal line G that supplies a gate signal and a drain signal line D that supplies an image signal, and of which source is connected to a display electrode.

[0006] A structure of TFT is explained according to Figure 9.

[0007] A gate electrode 2 and a gate insulating film 3 which are made of the high-melting metal such as Chrome (Cr) and Molybdenum (Mo) etc., and an active layer 4 made of a polycrystalline silicon film are formed in order on an insulating substrate 1 which is made of quartz glass, alkali free glass, etc.

[0008] A source 5 and a drain 6, which are formed by implanting ions into a channel 7 over the gate electrode 2 and both sides of the channel 7 using a stopper insulating film 8 on the channel 7 as a mask, are provided on the active layer 4.

[0009] An interlayer insulating film 9 wherein a SiO_2 film, a SiN film and a SiO_2 film are laminated is formed overall the gate insulating film 3, the active layer 4 and the stopper insulating film 8, and a drain electrode 10 is formed by filling up metal such as Al etc. into a contact hole which is provided corresponding to the drain 6. Furthermore, a planarizing film 12 made of an organic resin for example, is formed on the whole of them in order to planarize the surface. Next, a contact hole is formed in the position corresponding to the source 5 of the planarizing film 12, and a display electrode 13 that a transparent electrode holding a source electrode simultaneously which is made of ITO (Indium Thin Oxide) and is contact with the source 5 through this contact hole is formed on the planarizing film 12. Then, an alignment film 14 which is made of the organic region such as polyimide and orientates a liquid crystal 24 is formed on the display electrode 13.

[0010] Peripheral portions of the insulating substrate 1 with the TFT formed in this way, and a counter substrate 20 with a counter electrode 21 opposed to this substrate 1 and an alignment film 22, are adhered with a sealing adhesive 23, and the liquid crystal 24 is filled up between the formed clearance.

[0011]

[Problems to be solved by the Invention] However, in the structure of such conventional TFT, an impurity or impurity ions caused from the sealing adhesive at being hard, moisture or impurity ions in the liquid crystal 24, moisture coming from the outside through the portion 25 where the sealing adhesive 25 is peeled off and lifted, and

moisture in the atmosphere adhered by which the planarizing film 12 touches the atmosphere, etc. adhere to the surface of the planarizing film 12, so that the surface of the planarizing film 12 becomes charged. Consequently, the polarization is on the upper and lower sides of respective films of the planarizing film 12 or the interlayer insulating film 9.

[0012] Accordingly, there is a defect that a threshold voltage of the TFT is changed because a back channel is formed in the TFT.

[0013] Besides, in case of using this TFT in the LCD, an ON electric current of the TFT is reduced when the threshold voltage of the TFT is changed to an increasing direction, conversely an OFF electric current is increased when the threshold voltage is changed to a reduced direction. Therefore, there is a defect that fine display cannot be obtained because a light point defect that both pixels are always lighted is caused, and a display with the uniform luminous intensity in a screen cannot be obtained when the threshold voltage in each TFT is disorderd.

[0014] Then, the present invention, is accomplished in consideration of above conventional defect, and has the purpose to offer the TFT with stable threshold voltage by controlling the polarization of the planarizing film or the interlayer insulating film on the TFT, and the LCD which can obtain a display with the uniform luminous intensity in a screen by reducing the defect of lighting point etc.

[0015]

[Means for resolving problems]

A thin film transistor of the present invention comprising:

a gate electrode, a gate insulating film, a semiconductor film with a channel, an interlayer insulating film, and a planarizing insulating film; and

a conductive layer is provided on said interlayer insulating film or on said planarizing insulating film, and over said channel;

wherein a width of said conductive layer in the channel length direction over said channel is narrower than the channel length of said channel, and said conductive layer is not superposed on an end of said gate electrode and that of said channel in the channel length direction.

[0016] Besides, the conductive layer is connected to the gate electrode.

[0017] Besides, the conductive layer is a floating electric potential or a constant electric potential.

[0018] Besides, the insulating film provided between the conductive layer and the semiconductor layer is made of a silicon oxide film, a silicon nitride film, a simple organic film or a lamination by each film, and a total thickness of the insulating film is not less than 5000Å.

[0019] Besides, the present invention is a display device wherein the thin film transistor mentioned above is provided.

[0020]

[Embodiment] The following is an explanation of a TFT wherein the present invention is applied.

[0021] Figure 1 shows a plan view of TFT in a display pixel portion wherein the present invention is applied. Figure 2 shows a cross sectional view of a LCD which is along A-A line in Figure 1. Figure 3 shows a cross sectional view of a TFT which is along B-B line in Figure 1.

[0022] As shown in Figure 1, a TFT to which a display electrode 13 is connected is provided nearby the crossing point of a gate signal line G including a gate electrode 2 and a drain signal line D including a drain electrode 10.

[0023] As shown in Figure 2, the gate electrode 2 made of the high-melting metal such as Cr, Mo etc., a gate insulating film 3 made of a SiN film or a SiO₂ film, and an active layer 4 made of a polycrystalline silicon film are formed in order on an insulating substrate 1 made of a quartz glass, alkali free glass, etc.

[0024] A channel 7 over the gate electrode 2, a source 5 and a drain 6 which are formed by implanting ions into both sides of the channel 7, are provided in the active layer 4.

[0025] A stopper insulating film 8 made of a SiO₂ film which functions as a mask for covering the channel 7 so as to prevent ions from entering to the channel 7 at ion implantation when the source 5 and the drain 6 are formed, is provided on the channel 7.

[0026] Then, an interlayer insulating film 9 wherein a SiO₂ film, a SiN film and a SiO₂ film are laminated is formed on the whole of the gate insulating film 3, the active layer 4 and the stopper insulating film 8. This interlayer insulating film 9 is made of each simple organic film of an organic material such as SiO, SiN, acrylic, etc., or multi-layered

films wherein any materials are combined.

[0027] Next, a drain electrode 10 is formed on the position corresponding to the drain 6 by filling up a simple Al, or the metal wherein Mo and Al are laminated into the contact hole provided in the interlayer insulating film 9 in order. Simultaneously with forming the drain electrode 10, a conductive layer 11 is formed on the interlayer insulating film 9 over the channel 7. That is to say, the conductive layer 11 which is made of a simple Al or a lamination of the metal of Mo or Al in order is formed.

[0028] As shown in Figure 3, the conductive layer 11 provided on the interlayer insulating film 9 is connected to the gate signal wiring G on the insulating substrate 1 through the contact hole 14 made in the gate insulating film 3 and the interlayer insulating film 9. The drain signal wiring D is provided on the interlayer insulating film 9. Then, a planarizing film 12 made of an organic resin for example, is formed on the whole of them. A contact hole is formed in the position corresponding to the source 5 of this planarizing film 12, and a display electrode 13 that is made of a transparent conductive material such as ITO etc. which is contact with the source 5 and is a transparent electrode holding a source electrode simultaneously is formed. An alignment film 15 which orientates a liquid crystal 24 is formed over there.

[0029] Besides, a total thickness of the insulating film between the conductive layer 11 and the active layer 4, that is to say, that of the stopper insulating film 8 and the interlayer insulating film 9 in the present embodiment is not less than 5000 Å. Consequently, a distance between the conductive layer 11 and the active layer 4 is long, so that a mutual influence can be controlled, the probability of causing a pinhole in the insulating film is extremely low, and the characteristics of the TFT can be improved.

[0030] The LCD is accomplished by adhering the peripheral portions of the insulating substrate 1 with the TFT formed in this way and the counter substrate 20 with the counter electrode 21 and the alignment film 22 which are opposed to this substrate 1 with the sealing adhesive 23, and by filling up the liquid crystal 24 into the formed clearance.

[0031] An explanation of the channel in the present invention is performed here according to Figures 4 to 6.

[0032] Figure 4 shows a cross sectional view of a TFT with the so-called offset structure which is along A-A line in Figure 1.

[0033] As shown in the same Figure, the drain 5 (d region in Figure) and the source 6 (e region in Figure) wherein ions with high concentration are implanted into both sides of the gate electrode 2 are provided on the active layer 4 provided on the gate insulating film 3. Offset regions 35, 36 and 37 wherein ions are not implanted: the region (b1 region in Figure) between the drain 5 and the end of the gate electrode 2, the region (c1 region in Figure) between the source 6 and the end of the gate electrode 2, and the regions (b2 and c2 in Figure) between both gate electrodes; are provided. At this time, the region of the active layer 4 on which the gate electrode 2 is superposed is the channel. That is to say, the regions shown by a1 and a2 in Figure are the channel length in the present invention.

[0034] Figure 5 shows a cross sectional view of a TFT with the so-called LDD (Lightly Doped Drain) structure which is along A-A line in Figure 1.

[0035] As shown in the same Figure, the drain 5 (d region in Figure) and the source 6 (e region in Figure) wherein ions with high concentration are implanted into both sides of the gate electrode 2 are provided in the active layer 4, furthermore, the so-called LDD regions wherein ions with low concentration are implanted are provided in the region (b1 region in Figure) between the drain 5 and the end of the gate electrode 2, the region (c1 region in Figure) between the source 6 and the end of the gate electrode 2, and the regions (b2 and c2 in Figure) between both gate electrodes. Besides, the active layer 4 between this LDD region 38 and the LDD region 39 is a channel. That is to say, the regions shown by a1 and a2 in Figure are channel length in the present invention.

[0036] Figure 6 shows a cross sectional view of a TFT wherein a source and a drain are formed in an active layer is along A-A line in Figure 1.

[0037] As shown in the same Figure, the drain 5 (d region in Figure) and the source 6 (e region in Figure) wherein ions with high concentration are implanted into both sides of the gate electrode 2 are provided in the active layer 4. In this case, the region between the drain 5 and the source 6 is the channel. That is to say, the regions shown by a in Figure (a1 and a2 in Figure) are the channel length in the present invention.

[0038] As shown in Figures 1 and 2, the conductive layer 11 is superpose on the gate electrode 2 which is included in the gate signal line G and the channel 7 provided over it. However, the ends of the conductive layer 11 are provided not so as to superpose on the

ends of the gate electrode 2 and the channel 7.

[0039] The effect in case of a TFT with a LDD region is explained.

[0040] In Figure 5, in case that a width of the conductive layer 11 is not less than a and of which ends are superposed on the LDD regions, when the conductive layer 11 is connected to the gate electrode 2 like the present embodiment, a deterioration that a leak electric current and a generation of an electric charge etc. is caused between the conductive layer 11 and the active layer 4 through the interlayer insulating film 9 by causing a strong electric field on the superposition of the conductive layer 11 and the LDD region. If the interlayer insulating film 9 is improved to be high quality such as high density in order to control this leak electric current, an increase in film deposition time etc. reduces a throughput.

[0041] Besides, if the conductive layer 11 is superposed on the LDD region, the capacity between the gate and the source is increased.

[0042] However, when a width of the conductive layer 11 is less than those of the channel 7 and the gate electrode 2, and the conductive layer 11 is not superposed on the ends of the channel 7 and the end of the gate electrode 2, the deterioration mentioned above and an increase of the capacity can be controlled. Besides, the same effect can be obtained in case of superposition on an offset region as well as in case of superposition on the LDD region.

[0043] As mentioned above, by providing the conductive layer of which width is less than those of the channel and the gate electrode and not so as to superpose on those ends, the surface of the interlayer insulating film is prevented from adhesion of an impurity, so that the surface of the interlayer insulating film is prevented from storing the electric charge, a TFT with stable threshold voltage can be obtained, and a LCD with less defects such as a lighting point etc. and a display with uniform luminous intensity in a screen can be obtained.

[0044] Besides, because the conductive layer 11 is not connected to the gate electrode like the first embodiment shown in Figure 7, the same effect as the case of connecting to the gate electrode can be obtained as a floating electric potential. A cross sectional view of a TFT which is along C-C line in Figure 7 is the same as that of Figure 2 mentioned above.

[0045] Furthermore, the conductive layer 11 is provided on the interlayer insulating film

9, of which width is less than those of the channel 7 and the gate electrode 2, and not so as to be superposed on the ends of the channel 7 and the gate electrode 2.

[0046] Besides, the conductive layer 11 of the TFT of the present invention can obtain the above-mentioned effect as a constant electric potential by providing further wiring for supplying the constant electric potential. The constant electric potential is a grounding electric potential or an electric potential of some V, for example.

[0047] Also, the conductive layer can be provided on either gate electrode in the so-called double gate structure with two gate electrodes.

[0048] Besides, the same effect can be obtained as the case that the conductive layer is provided on the planarizing insulating film as well as on the interlayer insulating film.

[0049] Furthermore, the insulating film provided between the conductive layer and the active layer, for example, the stopper insulating film, the interlayer film and the planarizing insulating film in case of each embodiment can be made of a SiO film, SiN film, each simple organic film, and a lamination by each film.

[0050] Also, in the present embodiment, the so-called bottom gate type TFT wherein a gate electrode is provided lower than an active layer is explained, but the same effect can be obtained when the present invention is applied to the so-called top gate type TFT wherein the gate electrode is provided upper than the active layer.

[0051] Besides, in each embodiment mentioned above, the case that a TFT of the present invention is applied to a LCD is explained. However, the present invention is not limited to that case, for example, it can be applied to an organic EL (Electro Luminescence) display device, and the same effect mentioned above can be obtained.

[0052]

[Effect] According to the present invention, because the polarization in the upper and lower sides of the interlayer insulating film is prevented, a TFT with stable threshold voltage can be obtained by controlling generation of a back channel, so that the display device with less defects such as a lighting point etc. and a display with uniform luminous intensity in a screen can be obtained.

[A brief explanation of Figures]

[Figure 1] A plan view of a TFT which shows the first embodiment of the present invention.

[Figure 2] A cross sectional view of a LCD which shows the first embodiment of the present invention.

[Figure 3] A cross sectional view of a LCD which shows the first embodiment of the present invention.

[Figure 4] A cross sectional view of a TFT which shows the first embodiment of the present invention.

[Figure 5] A cross sectional view of a TFT which shows the first embodiment of the present invention.

[Figure 6] A cross sectional view of a TFT which shows the first embodiment of the present invention.

[Figure 7] A plan view of a TFT which shows the second embodiment of the present invention.

[Figure 8] A plan view of the conventional TFT.

[Figure 9] A cross sectional view of the conventional LCD.

[Explanation of marks]

- 1 insulating substrate
- 2 gate electrode
- 4 active layer
- 5 source
- 6 drain
- 7 channel
- 8 stopper insulating film
- 9 interlayer insulating film
- 11 conductive layer
- 12 planarizing insulating film
- 13 display electrode
- 24 liquid crystal
- 35, 36 offset region
- 38, 39 LDD region